

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-015602

(43)Date of publication of application : 17.01.2003

(51)Int.Cl.

G09G 3/288

G09G 3/20

G09G 3/28

(21)Application number : 2001-199011

(71)Applicant : FUJITSU LTD

(22)Date of filing : 29.06.2001

(72)Inventor : AWAMOTO KENJI
HASHIMOTO YASUNOBU
SAKIDA KOICHI
TAKAYAMA KUNIO

(54) METHOD FOR DRIVING AC TYPE PDP AND DEVICE THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To shorten a time necessary for addressing without losing display stability.

SOLUTION: Before addressing, reset processing for equalizing the charges of all cells by applying gradually increasing voltage across a reference potential line and scan electrodes, and when addressing, selection voltage V_{y1} having the same polarity as the finally applied voltage V_{y2} and being higher than it in the absolute value by a potential difference ΔV_y is applied across the scan electrodes corresponding to a selection line and the reference potential line.

LEGAL STATUS

[Date of request for examination]

25.08.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-15602

(P2003-15602A)

(43) 公開日 平成15年1月17日 (2003.1.17)

(51) Int.Cl. ⁷	識別番号	F I	テーマコード ¹ (参考)
G 0 9 C	3/288	G 0 9 C	3/20
	3/20		6 2 4 M
			6 2 4 N
	6 4 2		6 4 2 D
		3/28	B
3/28			E
審査請求 未請求 請求項の数 8 O L (全 12 頁) 最終頁に続く			
(21) 出願番号	特願2001-199011 (P2001-199011)	(71) 出願人	00000:223 富士通株式会社 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
(22) 出願日	平成13年 6 月 29 日 (2001. 6. 29)	(72) 発明者	栗本 健司 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内
		(72) 発明者	橋本 康宣 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内
		(74) 代理人	100086933 弁理士 久保 幸雄
最終頁に続く			

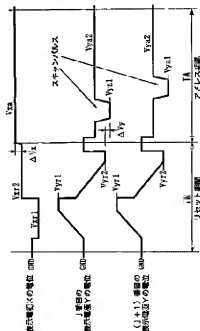
(54) 【発明の名称】 AC型PDPの駆動方法および駆動装置

(57) 【要約】

【課題】表示の安定度を損なうことなく、アドレッシングの所要時間を短縮することを目的とする。

【解決手段】アドレッシングに先立って、基準電位線とスキャン電極との間に漸増波形電圧を印加することによって全てのセルの電荷を均等化するリセット処理を行い、アドレッシングに際して、選択ラインに対応したスキャン電極と基準電位線との間に、リセット処理における最終印加電圧 V_{yr2} と同極性でかつそれよりも電位差 ΔV_y だけ絶対値が大きい選択電圧 V_{ya1} を印加する。

本発明は、係る駆動電圧波形を示す図



【特許請求の範囲】

【請求項1】 $m \times n$ 個のセルからなる表示面をもち、複数の第1表示電極と複数の第2表示電極とが計 n 対の面放電のための電極対を構成するように配列され、前記電極対と交差するように m 本のアドレス電極が配列された3電極面放電構造のAC型PDPの駆動方法であって、前記第2表示電極をスキャン電極として用いるライン選択によって表示内容に応じて個々のセルの電荷量を制御するアドレッシングに先立って、全てのセルの電荷を均等化するリセット処理として、当該リセット処理の終了時点で当該第2表示電極と基準電位線との間に電圧 V_{yr2} が加わるように、前記基準電位線と前記第2表示電極との間に漸増波形成電圧を印加し、

前記アドレッシングに際して、前記第2表示電極の一部である選択ラインに対応した第2表示電極と前記基準電位線との間に、前記電圧 V_{yr2} と同極性でかつそれよりも電位差 ΔV_y が絶対値が大きい電圧 V_{ya1} を印加することを特徴とするAC型PDPの駆動方法。

【請求項2】 前記アドレッシングに際して、アドレッシングの開始から終了までの期間にわたって、前記第1表示電極と前記基準電位線との間に、前記リセット処理の終了時点の印加電圧と同一またはそれよりも電位差 ΔV_x が絶対値が大きいバイアス電圧 V_{xa} を印加する請求項1記載のAC型PDPの駆動方法。

【請求項3】 前記電位差 ΔV_y が、1.0〜3.5ボルトの範囲内の値である請求項1記載のAC型PDPの駆動方法。

【請求項4】 前記アドレッシングの1ライン当たりの所要時間であるアドレスサイクル T_{ac} を、0.8〜1.4マイクロ秒の範囲内の値に設定する請求項1記載のAC型PDPの駆動方法。

【請求項5】 前記アドレッシングに際して、前記複数のアドレス電極のうちアドレス放電を主とする選択セルに対応したアドレス電極のバイアス電位と他のセルに対応したアドレス電極の電位との差であるアドレス電圧を、5.0ボルト以下の値とする請求項1記載のAC型PDPの駆動方法。

【請求項6】 複数の第1表示電極と複数の第2表示電極とが計 n 対の面放電のための電極対を構成するように配列され、前記電極対と交差するように m 本のアドレス電極が配列された3電極面放電構造のAC型PDPの駆動装置であって、

選択電圧 V_{ya1} の電力を出力する電源回路を有し、前記電源回路にツェナーダイオードを逆方向接続することによって、前記選択電圧 V_{ya1} と同極性でかつそれよりも電位差 ΔV_y が絶対値が小さい電圧 V_{yr2} を印加するための電源が形成されており、

前記第2表示電極をスキャン電極として用いるライン選択によって表示内容に応じて個々のセルの電荷量を制御するアドレッシングに先立って、全てのセルの電荷を均

等化するリセット処理として、当該リセット処理の終了時点で当該第2表示電極と基準電位線との間に前記電圧 V_{yr2} が加わるように、前記基準電位線と前記第2表示電極との間に漸増波形成電圧を印加し、かつ前記アドレッシングに際して、前記第2表示電極の一部である選択ラインに対応した第2表示電極と前記基準電位線との間に、前記選択電圧 V_{ya1} を印加することを特徴とする駆動装置。

【請求項7】 前記ツェナーダイオードのブレイクダウン電圧が1.0〜3.5ボルトの範囲内の値である請求項6記載の駆動装置。

【請求項8】 $m \times n$ 個のセルからなる表示面をもち、複数の第1表示電極と複数の第2表示電極とが計 n 対の面放電のための電極対を構成するように配列され、前記電極対と交差するように m 本のアドレス電極が配列された3電極面放電構造のAC型PDP、および前記AC型PDPを駆動する駆動装置を備えており、前記駆動装置において、選択電圧 V_{ya1} の電力を出力する電源回路にツェナーダイオードを逆方向接続することによって、前記選択電圧 V_{ya1} と同極性でかつそれよりも電位差 ΔV_y が絶対値が小さい電圧 V_{yr2} を印加するための電源が形成されており、

前記駆動装置は、前記第2表示電極をスキャン電極として用いるライン選択によって表示内容に応じて個々のセルの電荷量を制御するアドレッシングに先立って、全てのセルの電荷を均等化するリセット処理として、当該リセット処理の終了時点で当該第2表示電極と基準電位線との間に前記電圧 V_{yr2} が加わるように、前記基準電位線と前記第2表示電極との間に漸増波形成電圧を印加し、かつ前記アドレッシングに際して、前記第2表示電極の一部である選択ラインに対応した第2表示電極と前記基準電位線との間に、前記選択電圧 V_{ya1} を印加することを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、AC型PDPの駆動方法および駆動装置に関する。PDP (Plasma Display Panel: プラズマディスプレイパネル) は、テレビジョンおよびコンピュータのモニターのどちらにも利用可能な高速度と解像度とを兼ね備えており、大画面表示デバイスとして利用されている。普及とともに使用環境が多様化し、温度変化や電源電圧の変動に影響されない安定した表示を実現する駆動方法が求められている。また、消費電力の低減も重要課題である。

【0002】

【従来の技術】カラー表示デバイスとして、面放電形式のAC型PDPが商品化されている。ここでいう面放電形式は、輝度を確保する表示放電において陽極および陰極となる表示電極(第1電極および第2電極)を、前面側または背面側の基板の上に平行に配列し、表示電極対

と交差するようにアドレス電極(第3電極)を配列する形式である。表示電極の配列には、マトリクス表示の行毎に1対ずつ配列する形態と、第1および第2の表示電極を交互に等間隔に配列する形態とがある。後者の場合、配列の両端を除く表示電極は隣接する2行の表示に係わる。配列形態に係わらず、表示電極対は誘電体で被覆される。

【0003】面放電形式のPDPの表示においては、各行に対応づけられた表示電極対の一方(第2電極)を選択のためのスキャン電極として用い、スキャン電極とアドレス電極との間でのアドレス放電と、それをトリガーとした表示電極間のアドレス放電とを生じさせることによって、表示内容に応じて誘電体の帯電量(壁電荷量)を制御するアドレッシングが行われる。アドレッシングの後、表示電極対に交番極性の維持電圧 V_s を印加する。維持電圧 V_s は(1)式を満たす。

【0004】

$$V_{f_{1T}} - V_{W_{HT}} < V_s < V_{f_{1T}} \dots (1)$$

$V_{f_{1T}}$: 表示電極間の放電開始電圧

$V_{W_{HT}}$: 表示電極間の壁電圧

維持電圧 V_s の印加により、所定量の壁電荷の存在するセルのみでセル電圧(電極に印加する駆動電圧と壁電圧との和)が放電開始電圧 $V_{f_{1T}}$ を超えて基板面に沿った面放電が生じる。印加周期を短くすると、視覚的に発光が連続する。

【0005】PDPの放電セルは基本的には2値発光素子である。したがって、中間調はフレーム期間における個々の放電セルの積分発光量を入力画像データの階調値に応じて設定することによって再現される。カラー表示は階調表示の一種であって、表示色は3原色の輝度の組合せによって決まる。階調表示には、1フレームを輝度の重み付けをした複数のサブフレーム(インタレース表示の場合はサブフィールド)で構成し、サブフレーム単位の発光(点灯)の有無の組合せによって積分発光量を設定する方法が用いられる。

【0006】図9は駆動シーケンスの概要を示す電圧波形図である。図示において、符号 X 、 Y 、 A は順に第1の表示電極、第2の表示電極、アドレス電極を表し、 X 、 Y に添えた文字1~ n は表示電極 X 、 Y に対応する行の配列順位を示し、 A に添えた文字1~ m はアドレス電極 A に対応する列の配列順位を示す。

【0007】各サブフレームに割り当てるサブフレーム期間 T_s は、画面の帯電分布を一元化するリセット期間 T_R 、スキャンパルス P_y およびアドレスパルス P_a の印加によって表示内容に応じた帯電分布を形成するアドレス期間 T_A 、および表示パルス P_s の印加によって階調値に応じた輝度を確保するサステイン期間(表示期間ともいう) T_S に大別される。リセット期間 T_R およびアドレス期間 T_A の長さは輝度の重みに係わらず一定であるが、サステイン期間 T_S の長さは輝度の重みが大

きいほど長い。駆動シーケンスはリセット期間 T_R :アドレス期間 T_A :表示期間 T_S の順序でサブフレーム毎に繰り返される各サブフレームのサステイン期間の終了時点では、壁電荷が比較的に多く残存する放電セルとほとんど残存しない放電セルとが混在するので、次のサブフレームのアドレッシングの信頼性を高めるために、リセット期間 T_R において電荷を均等化するリセット処理を行う。

【0008】米国特許5745086号には、第1および第2のランプ電圧を放電セルに順に印加するリセット処理が明示されている。穏やかな勾配のランプ電圧(漸増波形電圧)を印加することにより、次に説明する微小放電の性質から、リセット処理における発光を微小としてコントラストの低下を防ぎ、かつセル構造のパラツキに係わらず壁電圧を任意の目標値に設定することができる。

【0009】ランプ電圧の傾きが緩やかであれば印加電圧の上昇途中に微小な電荷調整放電が複数回起きる。さらに傾きを緩やかにすると放電強度が小さくなるとともに放電周期が短くなって、連続的な放電形態へと移行していく。以下の説明では、周期的な電荷調整放電及び連続的な電荷調整放電を総称して、“微小放電”と呼称する。

【0010】微小放電においては、ランプ波の最終到達電圧の設定で壁電圧を制御することができる。微小放電中には、放電空間に加わるセル電圧 V_c (=壁電圧 V_w +印加電圧 V_l)が、ランプ電圧の上昇によって放電開始間値(以下、 V_t という)を超えても、微小放電が起きることによってセル電圧が常に V_t 近傍に保たれる。微小放電により、ランプ電圧の上昇分とほぼ同等分だけ壁電圧が下がるのである。ランプ電圧の最終値を V_r 、ランプ電圧が最終値 V_r に達した時点の壁電圧を V_w とすると、セル電圧 V_c が V_t に保たれているので、 $V_c = V_r + V_w = V_t$
 $\therefore V_w = -(V_r - V_t)$

の関係が成立する。 V_t は放電セルの電気的特性で決定される一定値であるので、ランプ電圧の最終値 V_r の設定によって、目的とする任意の値に壁電圧を設定することができる。詳しくは、放電セル間で V_t に微妙な差異があつたとしても、全ての放電セルについてそれぞれの V_t と V_w との相対差を均等化することができる。

【0011】図9の例では、電圧 V_{y1} 1へ向けて上昇する第1のランプ電圧を表示電極 Y に印加することによって、表示電極 X と表示電極 Y との電極間(これを XY 電極間という)、および表示電極 Y とアドレス電極 A との電極間(これを AY 電極間という)に壁電荷を形成する。その後、電圧 V_{y2} 2へ向けて降下する第2のランプ電圧を表示電極 Y に印加することによって、 XY 電極間および AY 電極間の壁電圧を目標値に近づける。ランプ電圧の印加に同期させて、表示電極 X に電位 V_{xr}

1. V_{xrr2v} を印加する。なお、ここでの電圧の印加は、電極を基準電位線との間に所定電圧が生じるようにバイアスすることを意味する。電圧 V_{xrr1} 、 V_{yrr1} は第2のランパ電圧で必ず微小放電が起きるように選定される。

【0012】このようなリセット処理の後にアドレッシングを行なう。アドレス期間TAにおいて、開始時点で全ての表示電極Yを非選択電位 V_{ya2} にバイアスした後、選択ラインi ($1 \leq i \leq n$)に対応した表示電極Yを一時的に選択電位 V_{ya1} にバイアスする(スキャンパルスの印加)。ライン選択に同期して、選択ラインのうちのアドレス放電を生じさせる選択セルが属する列のみ、アドレス電極Aを選択電位 V_{xa} にバイアスする(アドレスパルスの印加)。非選択セルが属する列のアドレス電極Aについては基準電位(通常、0ボルト)にする。そして、表示電極Xについては、選択行と非選択行とに偏わず、アドレッシングの開始から終了まで一定の電位 V_{xa} にバイアスする。サステイン期間TSでは、縦幅Vsの表示パルスPsを表示電極Yと表示電極Xとに交互に印加する。印加回数は輝度の重みにほぼ比例する。

【0013】従来において、リセット期間TRに表示電極Yに印加する電圧 V_{yrr2} は、アドレス期間TAに印加する選択電圧 V_{ya1} と同一とされ、これらの印加に1つの電源が共用されていた。また、リセット期間TRに表示電極Xに印加する電圧 V_{xrr2} も、アドレス期間TAのバイアス電圧 V_{xa} と同一とされていた。

【0014】

【発明が解決しようとする課題】図10は従来のアドレッシングのタイムチャートである。図例ではj番目のラインのスキャンパルスとアドレス放電の時間関係を示している。ライン選択電位は V_{ya1} 、ライン非選択電位は V_{ya2} 、アドレス選択電位は V_{xa} 、アドレス非選択電位は基準電位(ここでは0ボルト)である。

【0015】j番目のラインに対応した表示電極Yにスキャンパルスが印加され、アドレス電極Aにアドレス電圧 V_{xa} が印加されると、AY電極間でアドレス放電が起こり、ほぼ同時にXY電極間でもアドレス放電が起こってセル内に壁電荷が形成される。つまり、表示電極X側を負としてXY電極間に壁電圧 V_{wxya} が発生する。

【0016】アドレス放電は、スキャンパルスの印加開始から時間 t_{peak} だけ経て最大となり、時間 t_{end} が経過した時点で終息する。これら時間 t_{peak} 、 t_{end} の長さは、表示内容およびアドレス電圧 V_{xa} に依存し、パネルの温度およびセル構造のパラツキの影響を受ける。

【0017】従来では、アドレス電圧 V_{xa} が70ボルト程度とされており、時間 t_{end} が約2マイクロ秒(μs)であった。駆動においては、アドレス放電が終息した後に、電極を非選択電位に戻すための時間 t_{d2} が必要である。一般的な回路デバイスを用いた場合、 $t_{d2} =$

$0.2 \mu s$ であるので、1ライン分のアドレス所要時間(アドレスサイクルT_{ac})は、 $2.2 \mu s$ であった。

【0018】例えば、表示面のライン数が500、サブフレーム数が10、1サブフレームごりのリセット処理の所要時間が $300 \mu s$ であるとする、1フレームにおけるリセット期間とアドレス期間の総和は、 $(300 + 2.2 \times 500) \times 10 = 14000 \mu s$ ($\sim 14 ms$)となる。フルモーション動画のフレーム周期は約16.7msであるので、サステイン期間に割り当て可能な時間は約2.7($= 16.7 - 14$)msであった。

【0019】表示の輝度を高めるためにリセット期間を短縮してサステイン期間を延長すると、電荷の均等化が不十分となり、表示の安定が限られるという問題があった。アドレスサイクルT_{ac}を短縮すると、アドレス放電が終息する以前にアドレス電圧の印加を終了しなければならぬ。それにより、アドレス放電後の壁電圧 V_{wxya} が不足して表示が不安定になる。また、アドレスサイクルT_{ac}を短縮するためにアドレス電圧 V_{xa} を高くすると、アドレッシングにおける消費電力が増大してしまう。

【0020】本発明は、表示の安定度を損なうことなく、アドレッシングの所要時間を短縮することを目的としている。他の目的はアドレッシングの消費電力を低減することである。

【0021】

【課題を解決するための手段】本発明においては、アドレッシングに先立って、基準電位線とスキャン電極との間に漸増波形電圧を印加することによって全てのセルの電荷を均等化するリセット処理を行い、アドレッシングに際して、選択ラインに対応したスキャン電極と基準電位線との間に、リセット処理における最終印加電圧 V_{yrr2} と同極性でかつそれより低い電位差 ΔV_{ydr} が高い(絶対値が大きい)選択電圧 V_{ya1} を印加する。

【0022】従来の駆動方法では $V_{ya1} = V_{yrr2}$ に設定されており、スキャンパルスの極値を変更すると、それに伴って電圧 V_{yrr2} も同様に変化する。このため、選択電圧 V_{ya1} を高くしてもアドレスサイクルT_{ac}を短縮することができないことが判明した。このことを説明するために、ここでXY電極間とAY電極間について微小放電が起こる間値電圧 $V_{t_{xy}}$ 、 $V_{t_{ay}}$ とし、セル電圧を $V_{r_{xy}}$ 、 $V_{r_{ay}}$ とする。また、印加電圧を $V_{r_{xy}}$ 、 $V_{r_{ay}}$ とする。

【0023】微小放電が開始すると、その後は印加電圧 $V_{r_{xy}}$ 、 $V_{r_{ay}}$ を上昇させてもセル電圧 $V_{c_{xy}}$ 、 $V_{c_{ay}}$ はそれぞれ間値電圧 $V_{t_{xy}}$ 、 $V_{t_{ay}}$ に保たれる。漸増波形電圧が印加されて微小放電が起こっている期間では、

$$V_{t_{xy}} = V_{r_{xy}} - V_{w_{xy}}$$

$$V_{t_{ay}} = V_{r_{ay}} - V_{w_{ay}}$$

の関係が成り立つ。 $V_{w_{xy}}$ 、 $V_{w_{ay}}$ は、XY電極間とA

Y電極間とに現れる壁電圧である。

【0024】表示電極Xに電圧 V_{xr2} を印加しアドレス電極Aを基準電位とした状態で、表示電極Yの印加電圧が V_{yr2} に達したとき、

$$V_{c_{xy}} = V_{yr2} + V_{w_{xy}} = V_{t_{xy}}$$

$$V_{c_{xy}} - V_{yr2} = V_{xr2} + V_{w_{xy}} - V_{t_{xy}}$$

となる。その後、アドレス期間において、ある表示電極Yに選択電圧 $V_{ya1} (=V_{yr2})$ 、アドレス電極Aアドレス電圧 V_a 、表示電極Xに $V_{xa} (=V_{xr2})$ がそれぞれ印加されると、

$$V_{c_{xy}} = V_{yr2} + V_{w_{xy}} + V_a = V_{t_{xy}} + V_a$$

$$V_{c_{xy}} - V_{yr2} = V_{xr2} + V_{w_{xy}} = V_{t_{xy}}$$

となる。このとき、AY、XY電極間の電圧を上げても

$$V_{c_{xy}} = V_{t_{xy}} + V_a, V_{c_{xy}} = V_{t_{xy}}$$

であり、放電ギャップの電圧は全く変化しない。したがって、上述したようにアドレスサイクルTAcが短縮されなかった。

【0025】これに対して、本発明では図1に示すようにリセット期間TRにおいて、表示電極Yにリセット期間TRの終了時点で V_{yr2} に達する漸増波形電圧を印加し、表示電極Xに V_{xr2} を印加する。そして、アドレス期間TAにおいて、選択ラインに対応した表示電極Yに V_{yr2} より ΔV_y だけ高い選択電圧 V_{ya1} を印加する。 ΔV_y の極性は、XY、AY電極間の電位差が広がるように選定される。

【0026】アドレス期間TAにおける表示電極Xの電位 V_{xa} は、 V_{xr2} と同一の値または V_{xr2} に対してXY電極間の電位差が広がるように ΔV_x を加算した値に設定される。また、アドレス期間TAにおけるアドレス電極Aの電位は、リセット期間TRの終了時点と同一の値に設定される。

【0027】この場合、アドレス期間TAにおいて、選択ラインに対応した表示電極Yに選択電圧 $V_{ya1} (=V_{yr2} + \Delta V_y)$ 、アドレス電極Aにアドレス電圧 V_a 、表示電極Xにバイアス電圧 $V_{xa} (=V_{xr2} + \Delta V_x)$ が印加されると、

$$V_{c_{xy}} = V_{t_{xy}} + V_a + \Delta V_y$$

$$V_{c_{xy}} = V_{t_{xy}} + \Delta V_y + \Delta V_x$$

となる。

【0028】このように本発明の駆動方法では、従来と比べて、AY電極間、XY電極間それぞれ放電ギャップに印加されるセル電圧 $V_{c_{xy}}$ 、 $V_{c_{xy}}$ がそれぞれ ΔV_y 、 ΔV_x だけ高い値になる。これにより、図2に示すアドレス放電に係る時間 t_{peak} 、 t_{end} を従来よりも短くすることができる。

【0029】ここで、 ΔV_x をパラメータとして測定した ΔV_y と時間 t_{peak} 、 t_{end} との関係を図3に示す。 ΔV_y の値を増やすとアドレス放電の遅れは短くなるが、増え過ぎると逆にアドレス放電の遅れが増大することが判明した。また、 ΔV_x の値はアドレス放電の遅れに対して ΔV_y ほど影響せず、 $\Delta V_x = 0$ でもよいこ

とが判った。 $\Delta V_x = 0$ のときの ΔV_y と時間 t_{peak} 、 t_{end} との関係を図4に示す。

【0030】図4に示すとおり、アドレス放電の遅れを短縮するには、 ΔV_y を10ボルトから35ボルトの範囲の値に設定すれば安定した高速のアドレッシングが行えることが判る。10ボルト< ΔV_y <35ボルトのとき、図からパルス前縁からアドレス放電の終息までの時間 t_{end} は、およそ0.8〜1.2 μs の値になることが判る。

【0031】実際の駆動では図2のように電極電位を非選択状態に戻す時間 t_{d1} を見込んでアドレスサイクルTAcを設定するのが望ましい。ただし、必ずしもアドレス放電が完全に終息してから電極電位を戻す必要はなく、アドレス放電が終息に近づいた時点のパルスの後縁としても表示の安定度に大きな影響はない。

【0032】以上の事実から、 $\Delta V_x = 0$ ボルト、10ボルト< ΔV_y <35ボルトとし、0.8 μs <TAc<1.4 μs とすれば、安定したアドレッシングが可能であると言える。従来と比べて、アドレスサイクルTAcが短くなるので、その短縮分をサステイン期間に割り当てれば、表示放電の回数を増やして輝度を高めることができる。

【0033】さらに本発明には別の効果もある。図5はアドレス電圧 V_a のマージンを示すグラフである。図中の2本の太線に挟まれた範囲内の値に V_a を設定すれば安定した表示が可能である。上述のように ΔV_y を10〜35ボルトとすると、図から V_a を50ボルト以下でかつ30ボルト以上の値に設定すればよいことが判る。 $V_a = 70$ ボルト程度とする従来例と比べて、アドレス期間に消費する電力を大幅に低減することができる。

【0034】

【発明の実施の形態】図6は本発明に係る表示装置の構成図である。表示装置100は、 $m \times n$ 個のセルからなる表示面をもつ3電極面放電形式のACC型PDP1と、セルを選択的に発光させるためのドライブユニット70とから構成されており、壁掛け式テレビジョン受像機、コンピュータシステムのモニターなどとして利用される。

【0035】PDP1では、表示放電を生じさせるための計2n本の表示電極と交差するようにアドレス電極Aが配列されている。表示電極X、Yは表示面の水平方向に並び、表示電極Yはアドレッシングに際してライン選択のためのスキャン電極として用いられる。アドレス電極Aは垂直方向に延びている。

【0036】ドライブユニット70は、駆動制御を担う制御回路71、電源回路73、Xドライバ74、Yドライバ77、およびアドレスドライバ80を有している。制御回路71は、コントローラ711およびデータ交換

回路712からなる。コントローラ711は、駆動電圧の制御データを記憶する波形メモリ712を備えている。Xドライブ714はn本の表示電極Xの電位を切り換える。Yドライブ717はスキャン回路78と共通ドライブ79とからなる。スキャン回路78はアドレスシグナリングにおけるライン選択のための電位切換手段である。共通ドライブ79はn本の表示電極Yの電位を切り換える。アドレスドライブ80は、サブフレームデータDs fに基づいて、計m本のアドレス電極Aの電位を切り換える。これらドライブには電源回路73から所定の電力が供給される。

【0037】ドライブユニット70にはTVチューナ、コンピュータなどの外部装置からR、G、Bの3色の輝度レベルを示す多値画像データであるフレームデータD fが、同期信号CLOCK、VSYNC、HSYNCとともに入力される。フレームデータD fは、データ変換回路712内のフレームメモリに一旦格納された後、階調表示のためのサブフレームデータDs fに変換されてアドレスドライブ80へ転送される。サブフレームデータDs fはq個のサブフレームを表すqビットの表示データであって(1サブピクセル当たり1ビットの表示データがq画面分集まったものともえる)、サブフレームは解像度m×nの2値画像である。サブフレームデータDs fの各ビットの値は、該当する1つのサブフレームにおけるサブピクセルの発光の要否、密度にはアドレス放電の要否を示す。

【0038】11の構成の表示装置100によるカラー表示の駆動シーケンスは、基本的には図9で説明した駆動シーケンスと同様である。すなわち、フレームをq個のサブフレームで構成し、サブフレームごとにリセット期間、アドレス期間、およびサステイン期間を割り当ててフレームを表示する。

【0039】図7は本発明の実施に係るスキャン回路の構成図、図8はスキャンドライバと呼称されるスイッチ回路の構成図である。スキャン回路780は、n本の表示電極Yの電位を個別に2値制御するための複数個のスキャンドライバ781、スキャンドライバ群に印加する電圧を切り換えるための2値のスイッチ(詳しくはFETに代表されるスイッチングデバイス)Q50、Q60、および増幅波形電圧を発生するリセット電圧回路782、783を有する。各スキャンドライバ781は集積回路装置であり、j本の表示電極Yの制御を受け持つ。実用化されている典型的なスキャンドライバ781において、jは60〜120程度である。

【0040】図8のように、各スキャンドライバ781では、j本の表示電極Yのそれぞれに一对一つスイッチQa、Qbが配置されており、j個のスイッチQaは電源端子SDに共通接続され、j個のスイッチQbは電源端子SUに共通接続されている。スイッチQaがオンすると、表示電極Yはその時点の電源端子SDの電位にバ

イアスされ、スイッチQbがオンすると、表示電極Yはその時点の電源端子SUの電位にバイアスされる。制御回路714からのスキャン制御信号SCはデータコントローラ内のシフトレジスタを介してスイッチQa、Qbに与えられ、クロックに同期したシフト動作によって所定順序のライン選択が実現される。スキャンドライバ781には、サステインパルスを印加するときの電流路となるダイオードDa、Dbも集積化されている。

【0041】図7に示すように、リセット電圧回路781の電源端子SUは共通にダイオードD3およびスイッチQ50を介して電源(電位V_{ss})に接続されるとともに、ダイオードD1を介してリセット電圧回路782に接続されている。リセット電圧回路782の電源電位はV_{rr1}である。また、全てのスキャンドライバ781の電源端子SDは共通にダイオードD4およびスイッチQ60を介して電源(電位V_{ss})に接続されるとともに、ダイオードD2を介してリセット電圧回路783に接続されている。本例では、リセット電圧回路783に、電源入力としてツェナーダイオードZD1を介して電位V_{ya1}の電源が接続されている。ツェナーダイオードZD1のブレイクダウン電圧はΔV_yであり、接続方向はリセット電圧回路783と電源との間の電流方向に対して逆方向である。

【0042】図1を参照して、リセット期間TRにおいて、制御信号YR1Uによりリセット電圧回路782がオンすると、電源端子SUの電位がV_{rr1}に向かって所定変化率で変化する(図1の例示では電位が上昇する)。制御信号YR2Dによりリセット電圧回路783がオンすると、電源端子SDの電位はV_{ya1}よりΔV_yだけ高いV_{rr2}に向かって降下する。このとき、表示電極Yからの電流は、スキャンドライバ781およびダイオードD2を経由し、リセット電圧回路783で制御され、ツェナーダイオードZD1を逆方向に流れて電源(電位V_{ss})へ流れ込む。表示電極Yの電位と電源電位V_{ss}との差がΔV_y以下になるまでは、ツェナーダイオードZD1を逆方向電流が流れ続け、ΔV_yに等しくなった時点で電流は阻止され、表示電極Yはそのときの電位に保たれる。このようにツェナーダイオードZD1を用い、そのブレイクダウン電圧を選定することにより、従来の回路を大きく変更することなく簡単にΔV_yの値を10から35ボルトの範囲内の値に設定することができる。

【0043】アドレス期間TAにおいて、制御信号YA1DによりスイッチQ50がオンすると、電源端子SUは選択電位V_{ya1}にバイアスされ、制御信号YA2UによりスイッチQ60がオンすると、電源端子SDは非選択電位V_{ya2}にバイアスされる。サステイン期間TS(図9参照)においては、スイッチQ50、Q60およびリセット電圧回路782、783はオフとされ、スキャンドライバ内の全てのスイッチQa、Qbもオフと

される。したがって、電源端子SU、SDの電位はサステイン回路790の動作に依存する。サステイン回路790は、表示電極Yの電位を維持電位Vsまたは基準電位に切り換えるためのスイッチと、XY電極間の静電容量の充放電をLC共振を利用して高速に行う電力回収回路とをもち、

【0044】以下、駆動条件の設定について説明する。本発明の実施に際して、アドレス放電遅れ時間と印加電圧との関係に基づいて、電位差 ΔV_x 、 ΔV_y およびアドレスサイクルT_{ac}を設定する。具体的には、PDP1が図3～図9の特性をもつ場合、 $\Delta V_x=0$ 、 10 ボルト $<\Delta V_y<35$ ボルト、 $0.8\mu s<T_{ac}<1.4\mu s$ に設定する。

【0045】例えば、 $\Delta V_x=0$ 、 $\Delta V_y=25$ ボルト、 $T_{ac}=1.0\mu s$ に設定する。ここで、表示面のライン数が500、サブフレーム数qが10、リセット期間TRが1サブフレーム当たり300 μs であると、リセット処理およびアドレッシングに要する総時間は、 $(300+1.0\times 500)\times 10=8000\mu s$ (=8ms)となる。サステイン期間に割り当て可能な当て時間は $16.7-8=8.7$ msである。従来ではこの時間が2.7msであったので、本発明により最大表示発光輝度(ピーク輝度)を大幅に向上させることができる。アドレスサイクルT_{ac}を短縮すると、サステイン期間の表示放電回数を増やすだけでなく、サブフレーム数を増やして階調再現性を高めることも可能である。

【0046】なお、リセット期間の後半とアドレス期間とで表示電極Xのバイアス電位を変更するには、Xドライバ74に図7の回路のように複数の電源とスイッチとを設ければよい。バイアス電位を変えない場合、すなわち $\Delta V_x=0$ の場合は、電位V_{sr2}のバイアスと電位V_{x a}のバイアスと同じ電源を用いることで回路の低価格化を図ることができる。

【0047】本発明ではリセット期間の終了時点とアドレッシング期間とにおける電極電位の関係が重要であって、リセット期間の波形を限定するものではない。説明では表示電極Yに電圧が上昇する鈍波と電圧が低下する鈍波を印加する2ステップの処理を例示したが、3以上のステップから成るリセット波形であってもよいし、1つのステップから成るリセット波形(例えば表示電極Yに電圧が低下する鈍波を印加)であってもよい。

【0048】以上の実施形態においては、アドレス動作の安定度を損なうことなく、サステイン期間を延長して放電回数を増やすことができる。また、サブフレーム数

を増やし、階調表現をより精密にして画質を高めることもできる。表示装置サイズや装置重量を増やさずに画質を高めることができる。さらに、アドレス電圧Vaを50ボルト以下にすることができ、従来よりもアドレス消費電力を低減することができる。

【0049】

【発明の効果】請求項1ないし請求項8の発明によれば、表示の安定度を損なうことなく、アドレッシングの所要時間を短縮することができる。短縮分だけ表示放電の回数を増やして輝度を高めることができる。

【0050】請求項5の発明によれば、アドレッシングで消費する電力を低減することができる。

【図面の簡単な説明】

【図1】本発明に係る駆動電圧波形を示す図である。

【図2】本発明に係るアドレッシングのタイムチャートである。

【図3】電圧 ΔV_y アドレス放電の遅れ時間との関係を示すグラフである。

【図4】電圧 ΔV_y アドレス放電の遅れ時間との関係を示すグラフである。

【図5】アドレス電圧Vaのマージンを示すグラフである。

【図6】本発明に係る表示装置の構成図である。

【図7】本発明の実施に係るスキャン回路の構成図である。

【図8】スキャンドライバと称されるスイッチ回路の構成図である。

【図9】駆動シーケンスの概要を示す電圧波形図である。

【図10】従来のアドレッシングノタイムチャートである。

【符号の説明】

1 PDP

X 表示電極(第1表示電極)

Y 表示電極(第2表示電極)

A アドレス電極

TR リセット期間

TA アドレス期間

T_{ac} アドレスサイクル

V_a アドレス電圧

70 ドライブユニット(駆動装置)であって、

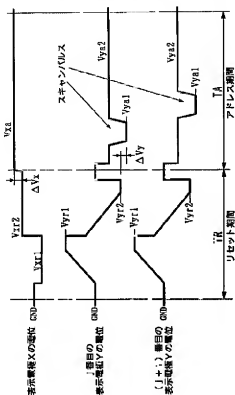
73 電源回路

ZD1 ツェナーダイオード

100 表示装置

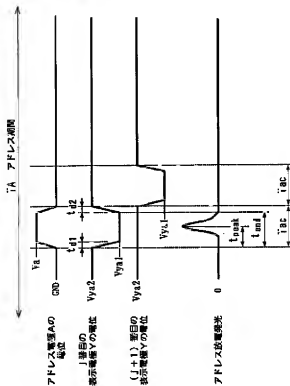
【図1】

本発明に係る駆動電圧波形を示す図

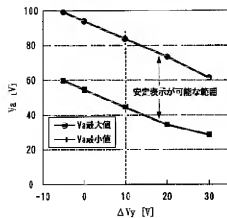


【図2】

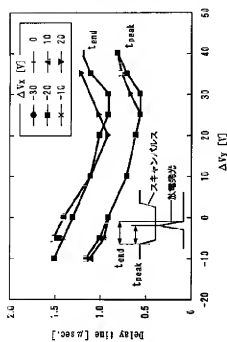
本発明に係るアドレッシングのタイムチャート



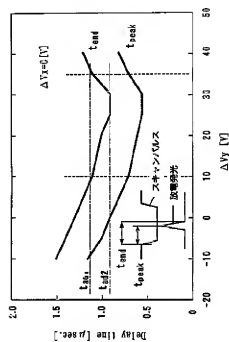
【図3】

アドレス電圧V_Aのマージンを示すグラフ

【図3】

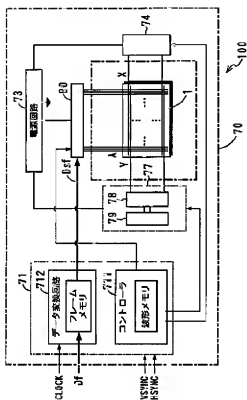
電圧 ΔV_y とアドレス放電の遅れ時間との関係を示すグラフ

【図4】

電圧 ΔV_y とアドレス放電の遅れ時間との関係を示すグラフ

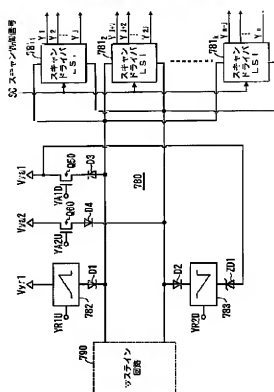
【图6】

本発明に係る表示装置の構成図



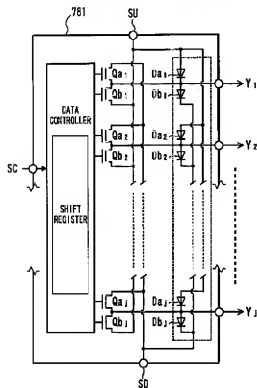
【图7】

本発明の実施に係るスキャン回路の構成図



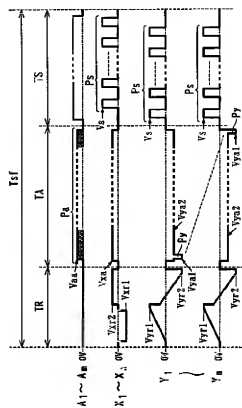
【図8】

スキンドライブと呼称されるスイッチ回路の構成図

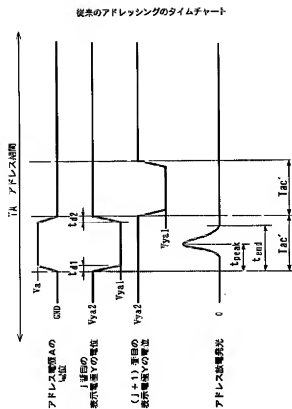


【図9】

駆動シーケンスの概要を示す電圧波形図



【図10】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

G 0 9 G 3/28

H

(参考)

(72) 発明者 崎田 康一

神奈川県川崎市中原区上小田中4丁目1番

1号 富士通株式会社内

(72) 発明者 高山 邦夫

神奈川県川崎市中原区上小田中4丁目1番

1号 富士通株式会社内

P ターム(参考) 5C080 AA05 BB05 DD03 DD08 DD26

HH02 HH04 HH05 JJ02 JJ04

JJ05